

MENU

SEARCH

INDEX

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10247903

(43)Date of publication of application: 14.09.1998

(51)Int.Cl.

H04L 7/02
H04L 25/40

(21)Application number: 09048761

(71)Applicant:

OKI ELECTRIC IND CO LTD

(22)Date of filing: 04.03.1997

(72)Inventor:

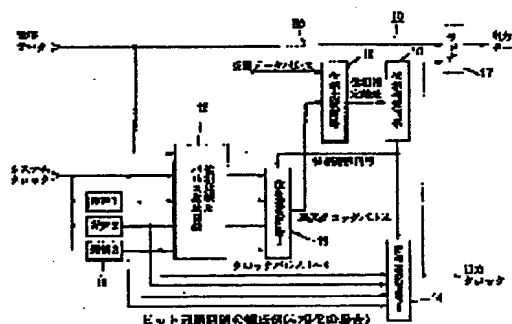
HISAMATSU SATOSHI

(54) BIT SYNCHRONIZATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a bit synchronization circuit that has provision for a high speed burst signal where reception data are scatteringly produced and the input timing is unstable without employing a high speed clock over a reception data speed and has excellent tracking performance with respect to phase fluctuation in consecutive signals.

SOLUTION: The bit synchronization circuit 10 is provided with a control means 50 consisting of delay circuits 11 delaying a system clock, a phase comparison pulse generating circuit 12, phase selection circuits 13, 14, a phase compactor circuit 15, a phase discrimination circuit 16 and a latch circuit 17, the delay circuits 11 produce polyphase system clocks, the phase comparison pulse generating circuit 12 generates a pulse at a change point of reception data and at a rise point of the polyphase clocks, the control means 50 uses the generated pulse to make phase comparison and the result of comparison controls a clock phase for data segmentation.



LEGAL STATUS

Best Available Copy

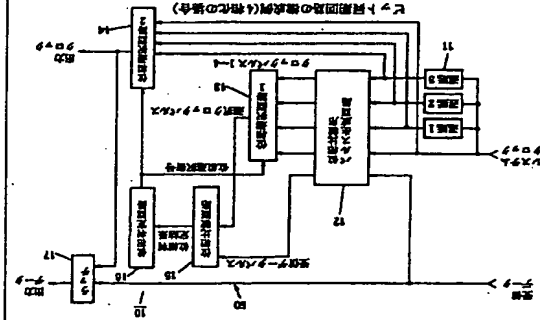
(51) IntCl. H 0 4 L 7/02 25/40	識別記号 H 0 4 L 7/02 25/40	審査請求 未請求 請求項の数 6 O L (全 8 頁) (21) 出願番号 特開平9-48761 (22) 出願日 平成9年(1997) 3月4日 (71) 出願人 000000285 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号 (72) 発明者 久松 智 東京都港区虎ノ門1丁目7番12号 沖電気 工業株式会社内 (74) 代理人 弁護士 前田 実
--------------------------------------	-------------------------------	--

(54) 発明の名称] ビット同期回路

(57) 要約

【要約】 受信データ速度を上回る高速クロックを使用せずに、受信データが偶発的に発生しかつ入力タイミングが不安定な高速のバースト信号に対応でき、かつ遅延信号における位相変動に対する良好な追従性を持つビット同期回路を提供する。

【解決手段】 ビット同期回路10は、システムクロックを遅延させる遅延回路11、位相比較用パルス生成回路12、位相遅延回路13、14、位相比較回路15、位相遅延回路16及びラッチ回路17からなる制御手段50を備え、システムクロックを遅延回路11により多相化し、位相比較用パルス生成回路12が受信データの位相と多相クロックの立上り点でパルスを生成し、制御手段50が生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のクロック位相を制御する。



Best Available Copy

【特許請求の範囲】

【請求項1】 受信データをシステムクロックに合せ換えるビット同期回路であって、

前記システムクロックを遅延して多相化する遅延手段と、

前記受信データの位相と前記遅延手段により多相化された多相クロックの立上り点でパルスを生成するパルス生成手段と、

前記パルス生成手段により生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のクロック位相を制御する制御手段とを備えたことを特徴とするビット同期回路。

【請求項2】 受信データをシステムクロックに合せ換えるビット同期回路であって、

前記受信データを遅延して多相化する遅延手段と、前記システムクロックの位相と前記遅延手段により多相化された多相データの立上り点でパルスを生成するパルス生成手段と、

前記パルス生成手段により生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のデータ位相を制御する制御手段とを備えたことを特徴とするビット同期回路。

【請求項3】 前記制御手段による位相比較は、

前記受信データの位相と前記遅延手段により生成したデータ変化点パルスを遅延した位相のクロック立上りパルスで打抜き位相比較と、前記クロック立上りパルスを前記データ変化点パルスで打抜き位相比較とを用いることを特徴とする請求項1又は2の何れかに記載のビット同期回路。

【請求項4】 前記制御手段は、

前記位相比較Aが、前記データ変化点パルスを前記クロック立上りパルスで打抜き位相比較する場合、セットアップ時間が満足されない可能性があると判断するとともに、前記位相比較Bが、前記クロック立上りパルスを前記データ変化点パルスで打抜き位相比較と判断することを特徴とする請求項3記載のビット同期回路。

【請求項5】 前記制御手段は、

現在選択されているクロック位相に対し、前記位相比較Aの結果に基づいて、セットアップ時間が満足されない可能性があると判断した場合、該遅延クロックの位相を遅らせることによりセットアップ時間を増やす制御を行うとともに、

前記位相比較Bの結果に基づいて、ホールド時間が満足されない可能性があると判断した場合、該遅延クロックの位相を進めることによりホールド時間を増やす制御を行い、

前記位相比較A及び前記位相比較Bの結果に基づいて、セットアップ/ホールド時間が共に満足できていると判断した場合、現在選択している位相を保持するように制御することを特徴とする請求項3又は4の何れかに記載

の比較のビット同期回路。

【請求項6】 前記制御手段は、現在選択されているデータ位相に対し、前記位相比較Aの結果に基づいて、セットアップ時間が満足されない可能性があると判断した場合、該遅延データの位相を進らせることによりセットアップ時間を増やす制御を行うとともに、

前記位相比較Bの結果に基づいて、ホールド時間が満足されない可能性があると判断した場合、該遅延クロックの位相を進めることにより、ホールド時間を増やす制御を行い、

前記位相比較A及び前記位相比較Bの結果に基づいて、セットアップ/ホールド時間が共に満足できていると判断した場合、現在選択している位相を保持するように制御することを特徴とする請求項3又は4の何れかに記載の比較のビット同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ビット同期回路に係り、詳細には、バースト信号入力にも対応し、遅延信号の位相変動に対する追従性の高い高速動作の可能なビット同期回路に関する。

【0002】

【従来の技術】 PDS (Passive Double Star) システムは、周回に設置される加入者線終端装置 (SLT) に対し、加入者側に複数台からなる加入者線終端装置 (ONU) を対向させ、両者の間をスターカプラで結合した構成となっている。

【0003】 この高速PDSシステム等において、高速データを受信、再生する際に受信回路としてビット同期回路は広く用いられている。

【0004】 従来のこの種のビット同期回路としては、例えば受信データからクロックのタイミング抽出を行う方法 (参考文献：松本、他「低電圧 (3V) シリアルインタフェース用データ再生回路の動作」94年秋季全大会 (420)、受信データに対し高速のクロックを抽出し取り込みを行う方法 (参考文献：岩井、青「高速PDSシステムにおけるバースト伝送対応ビット同期回路」信学技報SSR95-83、IN95-54、CS95-103) 等が用いられていた。

【0005】 受信データからタイミング抽出を行う方法は、受信データからクロックのタイミング抽出を行い、抽出クロックにより受信データを取り込むもので、データのタイミングと取り込みクロックのタイミングとが一致するため、誤りないデータ再生を可能とするものである。また、高速クロックを用いる方法は、受信データ速度に対し高速クロックを使用することで多相クロックを生成し、データ取り込みにも最も適した位相のクロックを選択することで正確なデータ再生を行うものである。

【0006】

【発明が解決しようとする課題】しかしながらこのよ
な従来のビット同期問題にあっては、受信データからタイミ
ミング抽出を行う場合、タイミング抽出に時間がかかること
や、同符号が連続して入力された場合には正確なタイミ
ング抽出が行えなくなるという欠点があるため、受信
データは連続したデータである必要がある。このため、
入力データが断片的に発生した入力タイミングが不定
なバースト信号では、タイミング抽出にかかる時間、デ
ータ間には発生する同符号連続区間等の問題により、抽
出データに対応することは難しくなるという問題点があ
った。

【0007】また、ジャック成分を多く含む番号における連続番号間での急激な位相変動に対してもタイミング抽油に時相がかかるため、良好な追従特性を持つことは難しい。さらに、通常タイミング抽油には狭帯域なバンドパスフィルタ、PLL 等が用いられるが、アナログ回路による構成も多く、小型化に不利な面も多い。

【0008】一方、高速クロックを用いる方法では、被
置機に入力データを上回る高速クロックが必要となる。
そのため、高速データを扱う際にはさらなる高速回路が
必要となり、データ処理速度が早くなる程、実現が困難
になる。

【0009】本発明は、受信データ速度を上回る高速クロックを使用せずに、受信データが徹底的に発生しかつ入力タイミングが不定な高速のバースト信号に対応でき、かつ連続符号における位相変動に対する良好な追従性を持つビット同期回路を提供することを目的とする。

【0010】
 課題を解決するための手段 本発明に係るビット同期回路は、受信データをシステムクロックに供給するビ
 ット同期回路であって、システムクロックを遅延手段
 により多相化された多相クロックの立上り点でパルスを生
 成するパルス生成手段と、受信データの被化点と遅延手段
 により多相化された多相クロックとの立上り点とにより生成し
 成するパルス生成手段と、パルス生成手段により生成し
 たパルスを用いて被相比較を行い、比較結果によりデー
 タ打抜き用のクロック使相を制御する制御手段とを備え
 て構成する。

【0011】本発明に係るビット同期回路は、受信データをシフトレジスタに繰替へるビット同期回路であって、受信データを遅延して多相化する遅延手段と、シフトレジスタの出力点でパルスを生成するパルス生成手段と、パルス生成手段により多相化されたデータをパルス生成手段により生成したパルスを用いて位相比較を行う、比較結果によりデータ打込みのデータ位相を制御する制御手段とを備えて構成する。

【0012】上記制御手段は、受信データの変換点で生成したデータのクロック立上りパルスを選択し、クロックのクロック立上りパルスで打抜く位相比較へと、クロック立上りパルスをデータ変換点パルスで打抜く位相比較

較目とを用いるものであつてもよい。

【0013】また、上記制御手段は、位相比較Aが、データ変化点をクロック立上りパルスで打抜けてしまう場合、セットアップ時間が満足されない可能性があると判断するとともに、位相比較Bが、クロック立上りパルスをデータ変化点パルスで打抜けてしまう場合、ホールド時間が満足されない可能性があると判断するようにしてもよい。

【0014】また、上記制御手段は、現在選択されているクロック位相に対し、位相比較部Aの結果に基づいて、セツトアップ時間が満足されない可能性があると判断した場合、該選択クロックの位相を置きとめることによりセツトアップ時間を増やす制御を行うとともに、位相比較部Bの結果に基づいて、ホールド時間が満足されない可能性があると判断した場合、該選択クロックの位相を進めることによりホールド時間を増やす制御を行い、位相比較A及び位相比較Bの結果に基づいて、セツトアップ／ホールド時間が共に満足できていると判断した場合、現在選択されている位相を保持するように制御するものである。

【0015】また、上記制御手段は、現在選択されているデータ位相に対し、位相比較入の結果に基づいて、セツトアップ時間が満足されない可能性があると判断した場合、該選択データの位相を5回さらにも、位相比較Bのアップ時間が増やす制御を行うことにによりセツト結果に基づいて、ホール時間が満足されない可能性があると判断した場合、該選択クロックの位相を進めることにより、ホール時間を増やす制御を行い、位相比較H及び位相比較Bの結果に基づいて、セツトアップ/ホール時間が共に満足できていると判断した場合、現在選択している位相を保持するように制御するものであってもよい。

【0016】
【発明の実施の形態】本発明に係るビット同期回路は、
前送PUSシステムにおけるバースト伝送対応ビット同
期回路に適用することができる。
【0017】図1は本発明の第1の実施形態に係るビ
ット同期回路の構成を示す回路図であり、システムクロ
ックを1相化して用いる例を示す。

【0018】図1において、ビット同期回路10は、それぞれ異なる遅延時間を持つ3つの遅延回路1〜3からなる遅延回路11（遅延手段）、位相比較用パルス生成回路12（パルス生成手段）、2つの位相選択回路1〜3、14（位相選択回路1、2）、位相比較回路15、位相判定回路16、ラッチ回路17から構成される。

【0019】上記位相選択回路13、14、位相比較回路15、位相判定回路16及びラッチ回路17は、全体的として、生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のクロック位相を制御する制御手段500を構成する。

【0020】入力として受信データ及び受信側の装置内で使用しているシステムクロックを用いる。システムクロックは、選返回路1〜3に力する。

【0021】上記選返回路1〜3は、それぞれシステムクロックの1/4、1/2、3/4周部分の選返を行う。生成された4相クロックは、位相選択回路14（位相選択回路2）及び位相比較用パルス生成回路12に入力する。また、位相比較用パルス生成回路12には受信データも入力する。

【0022】上記位相比較用パルス生成回路12は、生成された4相クロック及びシフトクロックを基に4相のクロック立上りパルス1~4を生成する。

【0023】上記位相選択回路13（位相選択回路1）は、位相比較用パルス生成回路12でパルス化された4相のクロックパルスの1つを選択し、選択クロックパルスを位相比較回路15に出力する。

【0024】上記位相比較回路15は、パルス化された受信データと位相選択回路13により選択された選択クロックパルスの位相比較を行い、比較結果を位相判定結果として位相判定回路16に出力する。

【0025】上記位相判定回路16は、LIP/リOWNカウンタにより構成され、位相判定結果を基に位相判定し、後述する選択クロックの位相調節を行って位相選択信号を位相選択回路13、14に出力する。

【0026】上記位相選択回路14は、入力された4相クロックのうちの1つを選択し、ラッチ用クロックとして出力する。

【0027】上記ラッチ回路17は、位相選択回路14からの出力クロックにより入力データラッチをラッチし出力データとして出力する。

【0028】このように、本ビット同期回路10は、システムクロックを1/4、1/2、3/4周期分延延させる遅延回路11、位相比較用パルス生成回路12、位相遅延回路13、位相比較回路14、位相検出回路15、位相選択回路16、タッチ回路17を備え、システムクロックを遅延回路11により多相化し、受信データの变化点と多相クロックの立ち上がり点とパルスとを生成し、生成したパルスを用いて位相比較を行い、比較結果によってデータのクロック位相を制御する構成となっている。

【0029】図2は、上記比較回路15の構成を示す回路図である。図2において、位相比較回路15は、データ変換クロックをデータ入力およびクロック立ち上がりパルスをクロックとするフリップフロップからなる位相比較回路18と、クロック立ち上がりパルスをデータ入力としデータ変換クロックをデータ入力とするフリップフロップからなる位相比較回路19から構成される。位相比較回路18からは、セットアップ時間測定結果が出力され、位相比較回路19からは、ホールド時間測定結果が出力される。

【0030】以下、上述のように構成されたビット同期

回路10の動作を説明する。

【0031】まず、システムクロックを遅延回路1-3からなる遅延回路11に入力する。遅延回路11ではそれぞれシステムクロックの1/4、1/2、3/4周期分を遅延させ、図3に示すように4相のクロックを生成する。

【0032】生成された4相クロック及び受信データは、位相比較用パルス生成回路12に入力され、位相比較用パルス生成回路12では、クロックの立上り及びデータの強化点で一周期のパルスを生成する。このパルスをクロック立上りパルスという。パルスの幅は最終的にクランチを行う際のセットアップ・ホールド時間以上に設定しておく。

【0033】生成したクロック立上りパルスは、位相選択回路13へ入力され、位相選択回路13で位相選択後、位相比較回路15に入力される。

【0034】位相比較回路15では、前記図2に示す同路で位相比較を行う。位相比較は受信データの変化点で生成したバース（以下、データ変化点バースという）を選択した位相のクロックよりバースで打抜くもの（以下、位相比較Aという）と、前述のクロックよりバースをデータ変化点バースで打抜くもの（以下、位相比較Bという）を用いる。

【0035】位相比較は、選択されたクロックとデータのセットアップ時間を判断するもので、データ変化点、バースをクロック立上りバースで打抜けてしまう場合、セットアップ時間が満足されない可能性があると判断する。

【0036】同様に、位相比較日は選択されたクロックとデータのワールド時間を判断するもので、クロック立上りパルスをデータ変化点パルスで打抜けてしまう場合、ワールド時間が満足されない可能性があると判断する。

【0037】位相特定回路16には、UP/DOWNカウンタを使用し、現在選択されているクロック位相に対して、位相比較人の結果、セッタアップ時間が満足されない可能性があると判断した場合、選択クロックの位相を遅らせることによりセッタアップ時間を増や制御を行う。

【0038】逆に、位相比較Bの結果、ホールド時間が満足されない可能性があると判断した場合、選択クロックの位相を進めることにより、ホールド時間を増やす制御を行う。この制御は、位相選択信号を位相選択回路13、14に出力することにより行う。

【0039】また、位相比較A、Bの比較結果、セットアップ/ホールド時間が共に満足できていると判断した場合、現在選択している位相を保持する。

【0040】位相選択回路14では、位相判定回路16の判定結果により、クロック位相を選択する。ラッチ回路17では、位相選択回路14で選択されたクロックを

用い、受信データをラッチする。

【0041】以上説明したように、第1の実施形態に係るビット同期回路10は、システムクロックを遅延させる遅延回路11、位相比較用パルス生成回路12、位相遅延回路13、14、位相比較回路15、位相判定回路16及びラッチ回路17からなる制御手段50を備え、システムクロックを遅延回路11により多相化し、位相比較用パルス生成回路12が受信データの位相点と多相クロックの立上り点でパルスを生じ、制御手段50が生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のクロックを遅延させることで、受信データを上回る高速度クロックを使用せず、ビット同期と取ることができる。

【0042】また、位相遅延の際に最速な位相を選択するまでクロック4相化の場合は最大で4回の位相変更で済み、高速度でビット同期が行えるためバースト信号にも対応できる。さらに、クロックの位相を変更する場合作、セッティング時間もしくはホールド時間を増やす方向に変更することになるため、データの2度打ちを防止、正確なデータの再生が可能となる。

【0043】図4は本発明の第2の実施形態に係るビット同期回路の構成を示す回路図であり、データを多相化した場合のビット同期回路の構成例を示す。なお、本1の実施形態と同様4相化した場合の例を示す。図4に示すビット同期回路2は同一構成部分には同一符号を付している。

【0044】第1の実施形態ではクロックを遅延により多相化した、本実施形態では、遅延回路に受信データを人力することで、受信データの多相化を行う。このビット同期回路は第1の実施形態で説明したビット同期回路にリセット信号を加えることで構成される。

【0045】図4において、ビット同期回路20は、受信データをそれぞれ異なる遅延時間を持つ3つの遅延回路1-3で遅延する遅延回路11、位相比較用パルス生成回路12、2つの位相遅延回路13、14（位相遅延回路1、2）、位相比較回路15、位相判定回路16、ラッチ回路17から構成される。

【0046】入力として受信データ、システムクロック及びリセット信号を用いる。リセット信号はバースト信号に位相遅延回路13、14をリセットする層で、位相遅延回路13、14ではリセット信号を受信することで、遅延回路の位相を多相データ位相のうち、中間となる位相を選択するようにする。

【0047】受信データは遅延回路11に入力され、遅延回路11ではそれぞれシステムクロックの1/4、1/2、3/4の遅延を行う。

【0048】生成された4相データは、位相遅延回路14及び位相比較用パルス生成回路12に入力される。ま

た、位相比較用パルス生成回路12には、システムクロックも入力する。位相比較用パルス生成回路12でパルス化された4相のデータ変化点パルスは位相遅延回路13で1つに遅延され、クロック立上りパルスと共に位相比較回路15に入力し、位相比較回路15で位相比較を行う。

【0049】比較結果は、位相判定回路16に入力され、位相判定回路16による判定結果は位相遅延信号として位相遅延回路13、14に入力される。

【0050】位相遅延回路14では、入力された4相データのうち1つを選択し、ラッチ用データとして出力する。ラッチ回路17では、位相遅延回路14からの出力データをシステムクロックによりラッチ出力する。

【0051】以下、上述のように構成されたビット同期回路20の動作を説明する。

【0052】遅延回路11では、システムクロックの1/4、1/2、3/4の遅延を遅延させ、図5に示すように4相のデータを生成する。

【0053】4相データ及びシステムクロックは、位相比較用パルス生成回路12に入力される。位相比較用パルス生成回路12では、クロックの立上り及びデータの变化点で一一定幅のパルスを生じ、パルスの幅は最終的にラッチを行う層のセッティング/ホールド時間に設定しておく。

【0054】生成したデータ変化点パルスは、位相遅延回路13へ入力され、位相遅延回路13で位相遅延後、位相比較回路15に入力される。

【0055】位相比較回路15では、前記図2に示す回路で位相比較を行う。位相比較は、第1の実施形態と同様、遅延されたデータ変化点パルスをクロック立上りパルスで打抜くもの（位相比較A）と、クロック立上りパルスを遅延されたデータ変化点パルスで打抜くもの（位相比較B）を使用する。

【0056】位相比較Aは、システムクロックと遅延された位相のデータのセッティング/ラッチ時間を判断するもので、データ変化点パルスをクロック立上りパルスで打抜いてしまう場合、セッティング時間が満足されない可能性が発生する。

【0057】同様、位相比較Bはシステムクロックと遅延された位相のデータのセッティング/ラッチ時間を判断するもので、クロック立上りパルスをデータ変化点パルスで打抜いてしまう場合、ホールド時間が満足されない可能性が発生する。

【0058】位相判定回路16には、UP/DOWNカウンタを使用し、現在選択されているデータ位相に対し、位相比較Aの結果、セッティング時間が満足されないか判断した結果、遅延データの位相を進めることによりセッティング時間を増やす制御を行う。

【0059】逆に、位相比較Bの結果、ホールド時間が満足されないか判断した場合、遅延データの位相を進

せることにより、ホールド時間を増やす制御を行う。

【0060】また、位相比較A、Bの比較結果が共にセッティング/ホールド時間を満足しているか判断した場合、現在選択している位相を保持する。

【0061】位相遅延回路14では、位相判定回路16の判定結果により、データ位相を選択する。ラッチ回路17では、位相遅延回路14で選択されたデータを用い、システムクロックによりラッチする。

【0062】以上説明したように、第2の実施形態に係るビット同期回路20は、システムクロックを1/4、1/2、3/4の遅延を遅延回路11、位相比較用パルス生成回路12、位相遅延回路13、14、位相比較回路15、位相判定回路16及びラッチ回路17からなる制御手段50を備え、受信データの位相点と多相クロックの立上り点でパルスを生じ、制御手段50が生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のクロックを遅延させることで、受信データを上回る高速度クロックを使用せず、ビット同期と取ることができる。

【0063】また、バースト信号でリセット信号を入力することにより、位相遅延の際に最速な位相を選択するまでデータ4相化の場合は最大で4回の位相変更で済み高速度のビット同期が行えるためバースト信号にも対応できる。

【0064】データの位相を変更する場合、セッティング時間もしくはホールド時間を増やす方向に変更されるため、データの2度打ちを防止、正確なデータの再生が可能とする。また、位相判定の結果、位相を変更する場合でもクロックの位相を変更せずに制御することができ

る。

【0065】したがって、このような優れた特徴を有するビット同期回路を、バースト信号を送送するPDSシステムに適用して好適である。

【0066】図6は前記図1に示すビット同期回路10をPDSシステムに適用した例である。

【0067】本システムは、PDSシステム局間へ設置される装置（局間装置100）と加入者側に設置される装置（加入者側装置200）により構成される。局間装置100はスターケーブル（SC）300を介し光ファイバーを用いて複数の加入者側装置200へ接続される。

【0068】局間装置100から加入者側装置200へデータを送信する場合は、逐次的にデータを送信し、加入者側でデータの送信先を識別しデータの受信を行う。加入者側装置200から局間装置100へデータを送信する際、複数の加入者側装置が各々の許可されたタイミングでデータを送信するため、局間装置100では受信データをバースト信号として受信する。

【0069】局間装置100のデータ受信回路に本ビッ

ト同期回路を使用した場合、高速度の同期が可能となる、少ないリアンプ領域でビット同期を実現でき、伝送効率を上げることができる。

【0070】また、上記局間装置100に図4のビット同期回路20を用いた場合も同様の効果を得ることができる。

【0071】なお、上記実施形態では、ビット同期回路10、20を上記した高速PDSシステムにおけるバースト伝送対応ビット同期回路に適用することもできるが、高速ビット同期を行う装置には全て適用することができ、さらに、バースト信号に限らず、2値のデジタル信号を受信する全ての装置に適用することができる。

【0072】なお、上記ビット同期回路を構成する遅延回路や遅延回路、比較回路等の種類/数、多相化の数などは前述した実施形態に限らないことは言うまでもない。

【0073】

【発明の効果】本発明に係るビット同期回路では、受信データをシステムクロックに乗せ換えるビット同期回路であって、システムクロックを遅延して多相化する遅延手段と、受信データの变化点と遅延手段により多相化された多相クロックの立上り点でパルスを生じ、パルス生成手段と、パルス生成手段により生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のクロック位相を制御する制御手段とを備えて構成したもので、バースト信号に対応し、高速度同期を行い、かつ送信データの位相変動に対し良好な追従特性を持ち、受信データに対し高速度クロックを使用することなく正確なデータ再生を行うことができる。

【0074】本発明に係るビット同期回路では、受信データをシステムクロックに乗せ換えるビット同期回路であって、受信データを遅延して多相化する遅延手段と、システムクロックの变化点と遅延手段により多相化された多相データの立上り点でパルスを生じ、パルス生成手段と、パルス生成手段により生成したパルスを用いて位相比較を行い、比較結果によりデータ打抜き用のデータ位相を制御する制御手段とを備えて構成したもので、バースト信号でリセット信号を加えることにより、バースト信号に対応し、高速度同期を行い、かつ送信データの位相変動に対し良好な追従特性を持ち、受信データに対し高速度クロックを使用することなく正確なデータ再生を行うことができる。

【図面の簡単な説明】

【図1】本発明を適用した第1の実施形態に係るビット同期回路の構成を示す回路図である。

【図2】上記ビット同期回路の位相比較回路の構成を示す回路図である。

【図3】上記ビット同期回路の遅延回路を用いたクロックの多相化を示す波数図である。

【図4】本発明を適用した第2の実施形態に係るビット

